

日本国特許庁  
JAPAN PATENT OFFICE

Jc872 U.S. PTO  
10/032764  
10/22/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年10月25日

出願番号

Application Number:

特願2000-325656

出願人

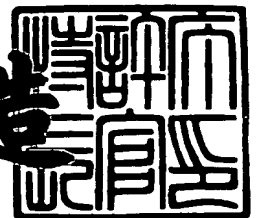
Applicant(s):

日本電気株式会社

2001年 8月10日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3070674

【書類名】 特許願  
【整理番号】 75010316  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/8247  
H01L 29/788  
H01L 29/792  
H01L 21/76

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号  
本電気株式会社内

日

【氏名】 金森 宏治

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、前記半導体基板に埋め込まれた分離用絶縁膜と、前記分離用絶縁膜に挟まれた半導体基板の表面の一部に形成されたゲート絶縁膜とを有する半導体装置であって、前記ゲート絶縁膜はその側面を前記分離用絶縁膜に接して形成されており、前記ゲート絶縁膜の前記分離用絶縁膜側の端部が、前記ゲート絶縁膜の中央部よりも厚いことを特徴とする半導体装置。

【請求項 2】 前記分離用絶縁膜を挟んで隣接するゲート絶縁膜の間隔に相当する幅の溝が、隣接するゲート絶縁膜の間の前記半導体基板に掘られ、前記分離用絶縁膜は、前記溝に埋め込まれた絶縁膜である請求項 1 記載の半導体装置。

【請求項 3】 前記ゲート絶縁膜の上には、下から順に、第 1 電極、容量絶縁膜、第 2 電極が形成される請求項 1 又は 2 記載の半導体装置。

【請求項 4】 前記分離用絶縁膜の上面と前記ゲート絶縁膜端部の上面とが概略同じ高さに位置する請求項 1、2 又は 3 記載の半導体装置。

【請求項 5】 前記分離用絶縁膜の上面は、前記端部絶縁膜の上面よりも高い位置に位置する請求項 1、2 又は 3 記載の半導体装置。

【請求項 6】 前記第 2 電極は、前記分離用絶縁膜の間隔方向の中央部に対応する位置に凹部を有する請求項 5 記載の半導体装置。

【請求項 7】 半導体基板の表面に第 1 酸化膜を形成した後、前記第 1 酸化膜に接する第 1 導電層を含む積層膜を堆積する工程と、前記第 1 酸化膜及び前記積層膜を同時にパターニングして複数の積層膜パターンが前記半導体基板の上を並走する形状に形成する工程と、前記積層膜パターンの形成された前記半導体基板を酸化して、前記積層膜パターンに挟まれた半導体基板の表面及び前記積層膜パターンの幅方向の端部近傍の下に位置する半導体基板の表面に前記第 1 酸化膜よりも厚い膜厚の第 2 酸化膜を形成する工程と、前記積層膜パターンの側面に側壁マスク膜を形成して前記積層膜パターンを含むマスクパターンを形成する工程と、前記マスクパターンをマスクとして前記マスクパターンに挟まれた第 2 酸化膜の全部及び半導体基板の一部を除去して前記半導体基板に溝を形成する工程と

、前記溝に埋込絶縁膜を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 8】 前記溝に埋込絶縁膜を埋め込む工程において、前記埋込絶縁膜は、その表面の高さが前記第 2 酸化膜の高さに概略一致するべく形成される請求項 7 記載の半導体装置の製造方法。

【請求項 9】 前記溝に埋込絶縁膜を埋め込む工程の後に、前記第 1 導電層からなる第 1 電極の上に容量絶縁膜を挟んで第 2 電極を形成する工程が続く請求項 7 又は 8 記載の半導体装置の製造方法。

【請求項 10】 半導体基板の表面に第 1 酸化膜を形成した後、前記第 1 酸化膜に接するストッパー膜を含む積層膜を堆積する工程と、前記第 1 酸化膜及び前記積層膜を同時にパターニングして複数の積層膜パターンが前記半導体基板の上を並走する形状に形成する工程と、前記積層膜パターンの形成された前記半導体基板を酸化して、前記積層膜パターンに挟まれた半導体基板の表面及び前記積層膜パターンの幅方向の端部近傍の下に位置する半導体基板の表面に前記第 1 酸化膜よりも厚い膜厚の第 2 酸化膜を形成する工程と、前記積層膜パターンをマスクとして前記積層膜パターンに挟まれた第 2 酸化膜の全部及び半導体基板の一部を除去して前記半導体基板に溝を形成する工程と、前記溝に埋込絶縁膜を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 11】 前記溝に埋込絶縁膜を埋め込む工程において、前記埋込絶縁膜は、その表面の高さが前記ストッパー膜の高さに概略一致するべく形成される請求項 10 記載の半導体装置の製造方法。

【請求項 12】 前記溝に埋込絶縁膜を埋め込む工程の後に、少なくとも前記積層膜パターンの下の第 2 酸化膜が残るべく前記積層膜パターンを除去して前記積層膜パターンに挟まれた半導体基板の表面を露出させ、前記積層膜パターンに挟まれた半導体基板の露出した表面にゲート酸化膜を形成し、その後、前記ゲート酸化膜及び前記第 2 酸化膜を覆い、かつ、前記埋込絶縁膜に接する部分の高さが前記埋込絶縁膜の高さに概略一致する第 1 電極を形成する工程が続く請求項 11 記載の半導体装置の製造方法。

【請求項 13】 前記第 1 電極を形成する工程の後に、前記第 1 電極の上に

容量絶縁膜を挟んで第 2 電極を形成する工程が続く請求項 1 2 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、特に、セルに形成した積層膜パターンに自己整合したトレンチを素子分離に用いた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

セルに形成した積層膜パターンに自己整合したトレンチを素子分離に用いる方式のフラッシュメモリは、セル間隔を極小化でき、メモリセルの高密度化に大いに利するところがある。

【0003】

この方法は、特開平 1 1 - 2 6 7 3 1 号公報に示されている。図 1 4 にその製造方法を示す。

【0004】

まず、半導体基板 2 0 1 にトンネル酸化膜 2 0 4、ポリシリコンからなる第 1 浮遊ゲート電極 2 0 3、窒化膜 2 0 5 の積層膜パターンを形成し、その積層膜パターンをマスクとして半導体基板 2 0 1 にトレンチ 2 1 1 を形成する（図 1 4 （a））。

【0005】

次に、トレンチ 2 1 1 に埋込酸化膜 2 3 3 を埋め込み（図 1 4 （b））、その後、窒化膜 2 0 5 を除去してポリシリコンからなる第 2 浮遊ゲート電極 2 1 3 を形成する。

【0006】

最後に、容量膜 2 1 4 及びポリシリコンからなる制御ゲート電極 2 1 5 を形成する（図 1 4 （c））。

【0007】

【発明が解決しようとする課題】

しかしながら、この方式のフラッシュメモリの製造方法は、(1) トンネル酸化膜の信頼性が低い、(2) 高容量比を実現するために、浮遊ゲート電極を2層構造で形成するとプロセスが複雑になる、といった問題を有する。

【0008】

上記問題は、それぞれ以下の理由による。

【0009】

まず、(1) 1層目の浮遊ゲート電極203に対してSTI (Shallow Trench Isolationの略称であり、以下STIと略記する) をセルフアラインで形成すると、STIの基板エッジ(トレンチ肩部)と1層目のフローティングゲートの距離が短いため、動作時にトレンチ211の肩部Aでの電界集中の影響を受けてトレンチ211の肩部Aで電流リークが生じ、メモリセルの保持特性を悪くし、結果としてトンネル酸化膜としての信頼性を低下させてしまう、(2) 1層目の浮遊ゲート電極203の幅とチャネル幅が等しいため、2層目の浮遊ゲート電極213を1層目の浮遊ゲート電極203の幅以上の幅に形成することにより、制御ゲート電極215と対向する浮遊ゲート電極の表面積を増加させないと容量比を大きくできない。

【0010】

本発明は、動作時にトレンチ肩部での電界集中の影響を受けず、単層の浮遊ゲート電極構造により製造工程の短縮が可能となるフラッシュメモリ及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】

本発明の半導体装置は、半導体基板と、前記半導体基板に埋め込まれた分離用絶縁膜と、前記分離用絶縁膜に挟まれた半導体基板の表面の一部に形成されたゲート絶縁膜とを有する半導体装置であって、前記ゲート絶縁膜はその側面を前記分離用絶縁膜に接して形成されており、前記ゲート絶縁膜の前記分離用絶縁膜側の端部が、前記ゲート絶縁膜の中央部よりも厚いことを特徴とし、前記分離用絶縁膜を挟んで隣接するゲート絶縁膜の間隔に相当する幅の溝が、隣接するゲート絶縁膜の間の前記半導体基板に掘られ、前記分離用絶縁膜は、前記溝に埋め込ま

れた絶縁膜であり、前記ゲート絶縁膜の上には、下から順に、第1電極、容量絶縁膜、第2電極が形成され、前記分離用絶縁膜の上面と前記ゲート絶縁膜端部の上面とが概略同じ高さに位置する、或いは、前記分離用絶縁膜の上面は、前記端部絶縁膜の上面よりも高い位置に位置し、この場合、前記第2電極は、前記分離用絶縁膜の間隔方向の中央部に対応する位置に凹部を有する、というものである。

#### 【0012】

次に、本発明の第1の半導体装置の製造方法は、半導体基板の表面に第1酸化膜を形成した後、前記第1酸化膜に接する第1導電層を含む積層膜を堆積する工程と、前記第1酸化膜及び前記積層膜を同時にパターンニングして複数の積層膜パターンが前記半導体基板の上を並走する形状に形成する工程と、前記積層膜パターンの形成された前記半導体基板を酸化して、前記積層膜パターンに挟まれた半導体基板の表面及び前記積層膜パターンの幅方向の端部近傍の下に位置する半導体基板の表面に前記第1酸化膜よりも厚い膜厚の第2酸化膜を形成する工程と、前記積層膜パターンの側面に側壁マスク膜を形成して前記積層膜パターンを含むマスクパターンを形成する工程と、前記マスクパターンをマスクとして前記マスクパターンに挟まれた第2酸化膜の全部及び半導体基板の一部を除去して前記半導体基板に溝を形成する工程と、前記溝に埋込絶縁膜を埋め込む工程とを有することを特徴とし、前記溝に埋込絶縁膜を埋め込む工程において、前記埋込絶縁膜は、その表面の高さが前記第2酸化膜の高さに概略一致するべく形成され、前記溝に埋込絶縁膜を埋め込む工程の後に、前記第1導電層からなる第1電極の上に容量絶縁膜を挟んで第2電極を形成する工程が続く、というものである。

#### 【0013】

次に、本発明の第2の半導体装置の製造方法は、半導体基板の表面に第1酸化膜を形成した後、前記第1酸化膜に接するストッパー膜を含む積層膜を堆積する工程と、前記第1酸化膜及び前記積層膜を同時にパターンニングして複数の積層膜パターンが前記半導体基板の上を並走する形状に形成する工程と、前記積層膜パターンの形成された前記半導体基板を酸化して、前記積層膜パターンに挟まれた半導体基板の表面及び前記積層膜パターンの幅方向の端部近傍の下に位置する半



導体基板の表面に前記第 1 酸化膜よりも厚い膜厚の第 2 酸化膜を形成する工程と、前記積層膜パターンをマスクとして前記積層膜パターンに挟まれた第 2 酸化膜の全部及び半導体基板の一部を除去して前記半導体基板に溝を形成する工程と、前記溝に埋込絶縁膜を埋め込む工程とを有することを特徴とし、前記溝に埋込絶縁膜を埋め込む工程において、前記埋込絶縁膜は、その表面の高さが前記ストッパー膜の高さに概略一致するべく形成され、前記溝に埋込絶縁膜を埋め込む工程の後に、少なくとも前記積層膜パターンの下の第 2 酸化膜が残るべく前記積層膜パターンを除去して前記積層膜パターンに挟まれた半導体基板の表面を露出させ、前記積層膜パターンに挟まれた半導体基板の露出した表面にゲート酸化膜を形成し、その後、前記ゲート酸化膜及び前記第 2 酸化膜を覆い、かつ、前記埋込絶縁膜に接する部分の高さが前記埋込絶縁膜の高さに概略一致する第 1 電極を形成する工程が続き、さらに、前記第 1 電極を形成する工程の後に、前記第 1 電極の上に容量絶縁膜を挟んで第 2 電極を形成する工程が続く、というものである。

【 0 0 1 4 】

## 【発明の実施の形態】

次に、本発明の第 1 の実施形態について図 1 を参照して説明する。図 1 (a) は、第 1 の実施形態の半導体装置であるフラッシュメモリセルの拡散層及び S T I を含む領域の様子を示す平面図であり、図 1 (b) は、図 1 (a) の切断線 X - X' における断面図である。

【 0 0 1 5 】

本発明の半導体装置は、絶縁分離に S T I を用い、浮遊ゲート電極 3 直下の中央付近ではトンネル酸化膜 2、浮遊ゲート電極 3 のエッジ付近ではトンネル酸化膜 2 よりも厚い酸化膜のゲート酸化膜 3 0 を持つ構造のフラッシュメモリセルを基本構造としている。

【 0 0 1 6 】

上記基本構造のフラッシュメモリセルを形成するための製造方法について、図 2 ～ 5 の断面図を参照して説明する。尚、これらの断面図は、いずれも図 1 (a) の切断線 X - X' における断面図である。

【 0 0 1 7 】

まず、半導体基板 1 の表面に膜厚 7 ～ 1 1 n m のトンネル酸化膜、膜厚 5 0 ～ 1 5 0 n m のポリシリコン、膜厚 1 0 ～ 2 0 n m の中間酸化膜、膜厚 5 0 ～ 2 0 0 n m の窒化膜、膜厚 2 0 ～ 1 0 0 n m の上層酸化膜の順に堆積し、続いて、メモリセル及びトランジスタのチャネルとなる領域にトンネル酸化膜 2、浮遊ゲート電極 3

、中間酸化膜 4、窒化膜 5、上層酸化膜 6 からなる積層膜 7 にパターニングする。このとき、積層膜 7 は、複数の積層膜パターンが半導体基板 1 の上に所定の間隔をもって並走する形に形成される（図 2（a））。

#### 【 0 0 1 8 】

次に、積層膜 7 の表面に膜厚約 1 0 n m の熱酸化による酸化膜 8、膜厚 1 0 ～ 1 0 0 n m の窒化膜 9 を順次形成し（図 2（b））、窒化膜 9 をエッチバックし、積層膜 7 の側壁に窒化膜スペーサ 2 9 を形成する（図 2（c））。

#### 【 0 0 1 9 】

次に、浮遊ゲート電極 3 端部下の半導体基板にバースピークが形成されるように熱酸化を行い、並走する積層膜 7 パターンの間の半導体基板と共に、浮遊ゲート電極 3 の中央付近のトンネル酸化膜 2 よりも厚い、例えば、2 0 ～ 5 0 n m の膜厚の酸化膜 1 0 を形成する（図 3（a））。

#### 【 0 0 2 0 】

次に、側壁に窒化膜スペーサ 2 9 を有する積層膜 7 パターンをマスクとして、並走する積層膜 7 パターンの間の酸化膜 1 0 をエッチング除去すると、酸化膜 1 0 の一部が除去されて、浮遊ゲート電極 3 端部下にゲート酸化膜 3 0 が残る。このとき、積層膜 7 は、その一番上の上層酸化膜 6 が一部エッチングされてその高さを減じ、積層膜 1 7 となる。また、積層膜 7 は、その一番上の上層酸化膜 6 が無くならないように、積層膜 7 の一番上の酸化膜の膜厚を設定しておく。続いて、積層膜 1 7 の上層酸化膜 6 及び窒化膜スペーサ 2 9 をマスクとして、シリコンエッチングを行い、並走する積層膜 1 7 パターンの間の半導体基板に、例えば、深さ 0. 2 ～ 0. 3  $\mu$  m の S T I の溝 1 1 を形成する（図 3（b））。

#### 【 0 0 2 1 】

次に、溝 1 1 の角をなだらかにするための丸め酸化を行って溝 1 1 の表面に酸

化膜 1 2 を形成する（図 3（c））。

【0022】

次に、窒化膜スペーサ 2 9 をエッチング除去してから溝 1 1 を埋め込むと共に積層膜 1 7 パターンの間をも完全に埋め尽くすように酸化膜 1 3 を形成し（図 4（a））、CMP 等の方法を用いて酸化膜 1 3 を含む基板表面の平坦化を行って酸化膜 1 3 を埋込酸化膜 3 3 とする。このとき、積層膜 1 7 の窒化膜 5 が CMP 等による平坦化の際のストッパーとなり、埋込酸化膜 3 3 の表面は、窒化膜 5 のストッパー面と概略同じ高さとなる（図 4（b））。このとき、ストッパーとしての窒化膜 5 は、CMP 等により膜厚を減じることとなるが、その膜表面が露出する段階から膜厚がなくなる段階までの膜厚全体に渡ってストッパーの役割を果たせばよい。

【0023】

続いて、積層膜 1 7 の浮遊ゲート電極 3 より上の中間酸化膜 4 及び窒化膜 5 からなる残膜をエッチング除去すると共に、埋込酸化膜 3 3 を一部エッチングして埋込酸化膜 4 3 とする。このとき、埋込酸化膜 4 3 の表面がゲート酸化膜 3 0 の表面と概略一致するようにエッチング条件を設定する（図 5（a））。

【0024】

次に、酸化膜／窒化膜／酸化膜（以下、ONO 膜と記載する）等の積層構造の容量膜 1 4 を約 1 5 n m の膜厚に形成し（図 5（b））、さらに、制御ゲート電極 1 5 を約 0. 2  $\mu$  m の膜厚に形成すると本発明の第 1 の実施形態のメモリセルを得る（図 5（c））。

【0025】

以上により、微細化が可能である浮遊ゲート電極自己整合型 STI 構造のフラッシュメモリセルを形成するに当たって、本発明の第 1 の実施形態の構造及びその製造方法を適用することにより、フラッシュメモリセルの高信頼性を維持し、また同時に、高容量比化による書き込み・消去電圧の低電圧化が可能になる。

【0026】

即ち、STI を用いたフラッシュメモリセルのチャネル領域において、浮遊ゲート電極の中央付近の下方では薄いトンネル酸化膜を、浮遊ゲート電極のエッジ

付近下方ではトンネル酸化膜よりも厚い酸化膜のゲート酸化膜を形成することで、浮遊ゲート電極と半導体基板との間の容量（基板容量と呼ぶ）を浮遊ゲート電極と制御ゲートとの間の容量（制御容量と呼ぶ）よりも小さくすることができ、制御容量の基板容量に対する容量比を高く設定することができる。

## 【 0 0 2 7 】

また、浮遊ゲート電極のエッジ付近下方では、トンネル酸化膜よりも厚い酸化膜が形成されているので、浮遊ゲート電極と S T I エッジとの間の距離を長くすることができ、S T I エッジにおける電界集中による酸化膜の信頼性低下を無くすることができる。

## 【 0 0 2 8 】

次に、本発明の第 2 の実施形態を図 6 ～ 1 0 を参照して説明する。図 6 ( a ) は、第 2 の実施形態の半導体装置であるフラッシュメモリセルの拡散層及び S T I を含む領域の様子を示す平面図であり、図 6 ( b ) は、図 6 ( a ) の切断線 X - X ' における断面図である。

## 【 0 0 2 9 】

本実施形態の特徴は、浮遊ゲート電極の形状を凹状に形成して、第 1 の実施形態よりもさらに制御容量の基板容量に対する容量比を高く設定しようとするものであり、他の基本的な構造は第 1 の実施形態と同じである。

## 【 0 0 3 0 】

上記のフラッシュメモリセルを形成するための製造方法について、図 7 ～ 1 0 の断面図を参照して説明する。尚、これらの断面図は、いずれも図 6 ( a ) の切断線 X - X ' における断面図である。

## 【 0 0 3 1 】

まず、半導体基板 1 0 1 の表面に膜厚 1 0 ～ 2 0 n m の下敷酸化膜、膜厚 5 0 ～ 2 5 0 n m の窒化膜、膜厚 2 0 ～ 1 0 0 n m の上層酸化膜の順に堆積し、続いて、メモリセル及びトランジスタのチャネルとなる領域に下敷酸化膜 1 0 2、窒化膜 1 0 5、上層酸化膜 1 0 6 からなる積層膜 1 0 7 にパターニングする。このとき、積層膜 1 0 7 は、複数の積層膜パターンが半導体基板 1 0 1 の上に所定の間隔をもって並走する形に形成される（図 7 ( a ) ）。

## 【 0 0 3 2 】

次に、窒化膜 1 0 5 端部下の半導体基板にバースピークが形成されるように熱酸化を行い、並走する積層膜 1 0 7 パターンの間の半導体基板と共に、窒化膜 5 の中央下の下敷酸化膜 1 0 2 よりも厚い酸化膜 1 1 0 を形成する（図 7（b））。

## 【 0 0 3 3 】

次に、積層膜 1 0 7 パターンをマスクとして、並走する積層膜 1 0 7 パターンの間の酸化膜 1 1 0 をエッチング除去すると、酸化膜 1 1 0 の一部が除去されて、窒化膜 5 端部にゲート酸化膜 1 3 0 が残る。このとき、積層膜 1 0 7 は、その一番上の上層酸化膜 1 0 6 が一部エッチングされてその高さを減じ、積層膜 1 1 7 となる。また、積層膜 1 0 7 は、その一番上の上層酸化膜 1 0 6 が無くならないように、積層膜 1 0 7 の一番上の酸化膜の膜厚を設定しておく。

## 【 0 0 3 4 】

続いて、積層膜 1 1 7 の上層酸化膜 6 及び窒化膜 5 をマスクとして、シリコンエッチングを行い、並走する積層膜 1 1 7 パターンの間の半導体基板に S T I の溝 1 1 1 を形成する（図 7（c））。

## 【 0 0 3 5 】

次に、溝 1 1 1 の角の丸め酸化を行って溝 1 1 1 の表面に酸化膜 1 1 2 を形成する（図 8（a））。

## 【 0 0 3 6 】

次に、溝 1 1 1 を埋め込むと共に積層膜 1 1 7 パターンの間をも完全に埋め尽くすように酸化膜 1 1 3 を形成し（図 8（b））、CMP 等の方法を用いて酸化膜 1 1 3 を含む基板表面の平坦化を行って酸化膜 1 1 3 を埋込酸化膜 1 4 3 とする。このとき、積層膜 1 1 7 の窒化膜 1 0 5 が CMP 等による平坦化の際のストッパーとなり、埋込酸化膜 1 4 3 の表面は、窒化膜 1 0 5 のストッパー面と概略同じ高さとなる（図 8（c））。

## 【 0 0 3 7 】

続いて、窒化膜 5 をエッチング除去し、半導体基板 1 0 1 の表面から埋込酸化膜 1 4 3 が突き出した形状とする（図 9（a））。

## 【0038】

次に、積層膜107のうち最後に残った下敷酸化膜102を除去し（図9（b））、露出した半導体基板表面を熱酸化してトンネル酸化膜122を形成し、さらに、浮遊ゲート電極材料となるポリシリコン103を埋込酸化膜143の間隔（積層膜107の幅に相当する）の半分よりも薄い膜厚に堆積する。このとき、埋込酸化膜143が半導体基板101の表面から突き出ているため、ポリシリコン103は埋込酸化膜143の間では凹部116を呈する（図9（c））。

## 【0039】

次に、この凹部116を選択的にレジスト等で埋め込み、埋込酸化膜143の上のポリシリコン103を選択的に除去し、凹部116を呈する部分のポリシリコン103を浮遊ゲート電極123とする（図10（a））。

## 【0040】

次に、ONO膜等からなる容量膜114を形成し、さらに、その上に制御ゲート電極115を形成すると本発明の第2の実施形態のメモリセルを得る（図10（b））。

## 【0041】

以上により、第1の実施形態で説明したフラッシュメモリセルの高信頼性に加えて、第1の実施形態よりもさらに高容量比を達成することができ、書き込み・消去電圧のさらなる低電圧化が可能になる。

## 【0042】

また、第1の実施形態で用いた積層膜が多層の膜からなり、しかも、積層膜の側壁にもスペーサ膜を用いるなどして、溝形成までの製造工程が複雑となっているが、本実施形態では積層膜の層数を少なくし、側壁にスペーサ膜を用いないので、溝形成までの製造工程が短くなるという利点を有する。

## 【0043】

次に、本発明の第3の実施形態を図11～15を参照して説明する。図11（a）は、第3の実施形態の半導体装置であるフラッシュメモリのセル近傍の様子を示す平面図であり、図11（b）は、図11（a）の切断線X-X'における

断面図である。

【0044】

本実施形態の特徴は、第1の実施形態で述べた基本構造を維持しつつ、第1、2の実施形態よりもさらに製造プロセスを簡略化して、製造工程の短縮を図っている。また、本実施形態の製造方法は、第2の実施形態の製造方法の図8(c)の工程までと全く同じであるので、図8(c)から先の工程についてのみ説明することとする。

【0045】

まず、図8(c)のように、埋込酸化膜143及び窒化膜105の表面がほぼ一致するようにして、積層膜117のうち窒化膜105の一部を残存させた後、埋込酸化膜143を一部エッチングして、その表面を概略ゲート酸化膜130の表面と一致させ、埋込酸化膜143を埋込酸化膜193とする(図12(a))。

【0046】

続いて、積層膜117のうち残存している窒化膜105をエッチング除去し、下敷酸化膜102を露出させる(図12(b))。

【0047】

次に、積層膜117のうち最後に残った下敷酸化膜102を除去し(図12(c))、露出した半導体基板表面を熱酸化してトンネル酸化膜172を形成し、さらに、浮遊ゲート電極材料となるポリシリコン153を膜厚50～150nmの厚さに堆積する(図13(a))。

【0048】

次に、トンネル酸化膜172及びゲート酸化膜130を完全に覆うと共に、その端部が埋込酸化膜193の上にまで延在するようにポリシリコン153をパターニングして、浮遊ゲート電極163を形成する。(図13(b))。

【0049】

最後に、ONO膜等の容量膜164を約15nmの膜厚に形成し、さらに、その上に制御ゲート電極165を形成すると本発明の第3の実施形態のメモリセルを得る(図13(c))。

## 【 0 0 5 0 】

以上により、第 1 の実施形態で説明したフラッシュメモリセルの高信頼性に加えて、第 1 の実施形態よりもさらに浮遊ゲート電極の面積を大きくすることにより高容量比を達成することができ、書き込み・消去電圧の低電圧化が可能になる。

## 【 0 0 5 1 】

また、第 2 の実施形態においては、浮遊ゲート電極の形状を凹状とするために、図 9 (c) から図 1 0 (a) に到る工程自体の制御に工数を要すること、即ち、凹部にレジスト等の有機材料を均一に埋め込むことの困難が生じ、製造工程を複雑にしているが、本実施形態では、プロセス制御が一貫して容易であり、製造工程の簡略化が実現できる、という長所を有している。

## 【 0 0 5 2 】

以上に述べてきた実施形態においては、フラッシュメモリを例として挙げたが、本発明はフラッシュメモリに限定されるものではなく、半導体基板の活性ゲート膜領域上、或いは、活性ゲート膜形成予定領域上に積層構造体を形成しておき、それをマスクとして自己整合的に溝分離領域を形成する構成の半導体装置であれば、フラッシュメモリ以外の他の分野に分類される半導体装置であっても、本発明の製造方法を適用して本発明の構造を有する半導体装置を実現できることは言うまでもない。

## 【 0 0 5 3 】

## 【発明の効果】

以上に説明したように、本発明の半導体装置及びその製造方法によれば、半導体基板の活性ゲート膜領域上、或いは、活性ゲート膜形成予定領域上に積層構造体を形成しておき、さらに、活性ゲート膜（或いは、活性ゲート膜形成予定領域）の溝分離側に位置するゲート膜を厚くしておき、その上で積層構造体に対して自己整合的に溝分離領域を形成するので、溝の肩部とゲート電極との距離を大きくすることができ、デバイス動作時の溝の肩部における電界集中によるデバイス特性への悪影響を無くすることができる。また、溝分離側に位置するゲート膜が厚く形成されるので、制御容量の基板容量に対する容量比を高く設定することがで



きる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態の半導体装置の平面図及び断面図である。

【図 2】

本発明の第 1 の実施形態の半導体装置の製造方法を製造工程順に示す断面図である。

【図 3】

図 2 に続く製造工程を示す断面図である。

【図 4】

図 3 に続く製造工程を示す断面図である。

【図 5】

図 4 に続く製造工程を示す断面図である。

【図 6】

本発明の第 2 の実施形態の半導体装置の平面図及び断面図である。

【図 7】

本発明の第 2 の実施形態の半導体装置の製造方法を製造工程順に示す断面図である。

【図 8】

図 7 に続く製造工程を示す断面図である。

【図 9】

図 8 に続く製造工程を示す断面図である。

【図 1 0】

図 9 に続く製造工程を示す断面図である。

【図 1 1】

本発明の第 3 の実施形態の半導体装置の平面図及び断面図である。

【図 1 2】

本発明の第 3 の実施形態の半導体装置の製造方法を製造工程順に示す断面図である。

【図 1 3】

図 1 2 に続く製造工程を示す断面図である。

【図 1 4】

従来の半導体装置の製造方法を製造工程順に示す断面図である。

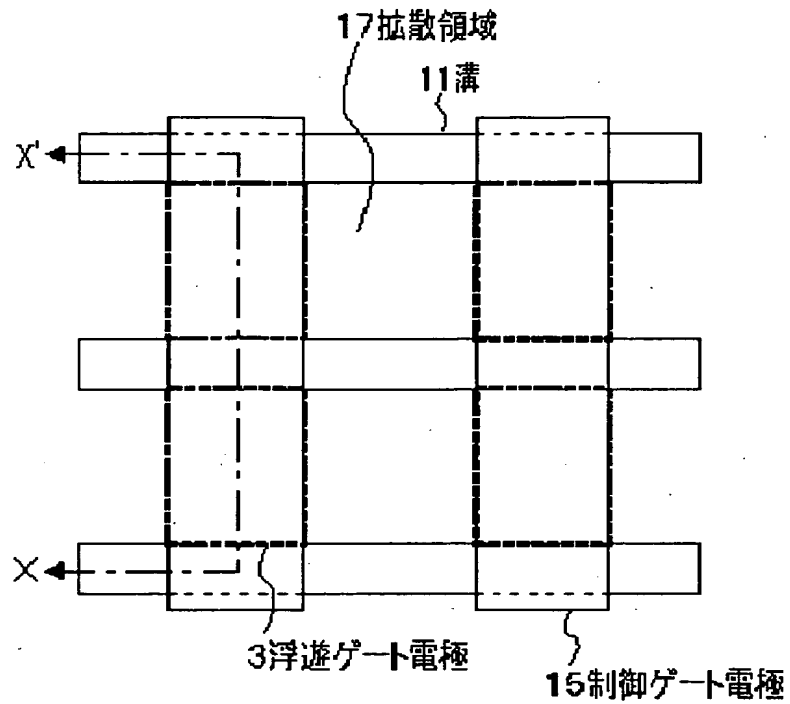
【符号の説明】

- 1、1 0 1、2 0 1      半導体基板
- 2、1 2 2、1 7 2、2 0 4      トンネル酸化膜
- 3、1 2 3、1 6 3      浮遊ゲート電極
- 4      中間酸化膜
- 5、9、1 0 5、2 0 5      窒化膜
- 6、1 0 6      上層酸化膜
- 7、1 7、1 0 7、1 1 7      積層膜
- 8、1 0、1 2、1 3、1 1 0、1 1 2、1 1 3      酸化膜
- 1 1、1 1 1      溝
- 1 4、1 1 4、1 6 4、2 1 4      容量膜
- 1 5、1 1 5、1 6 5、2 1 5      制御ゲート電極
- 1 7、1 1 7      拡散領域
- 3 0、1 3 0      ゲート酸化膜
- 3 3、4 3、1 3 3、1 4 3、1 9 3、2 3 3      埋込酸化膜
- 1 0 2      下敷酸化膜
- 1 0 3、1 5 3      ポリシリコン
- 1 1 6      凹部
- 2 0 3      第 1 浮遊ゲート電極
- 2 1 1      トレンチ
- 2 1 3      第 2 浮遊ゲート電極

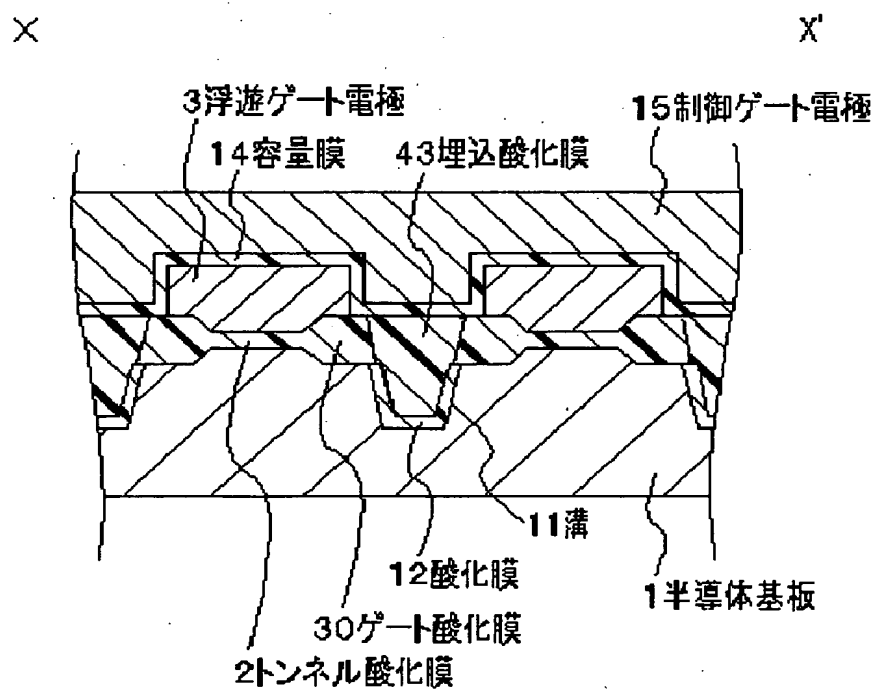
【書類名】 図面

【図 1】

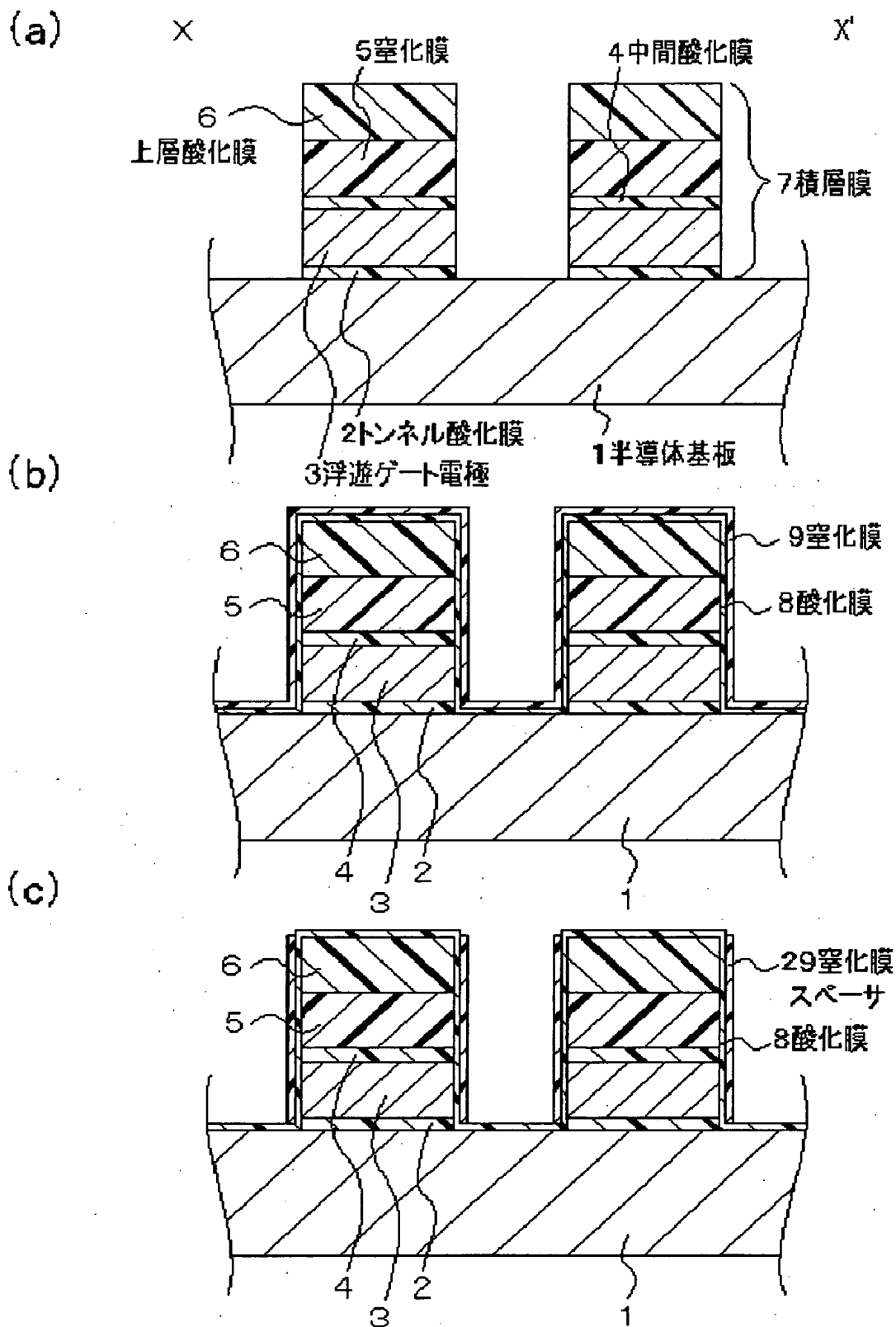
(a)



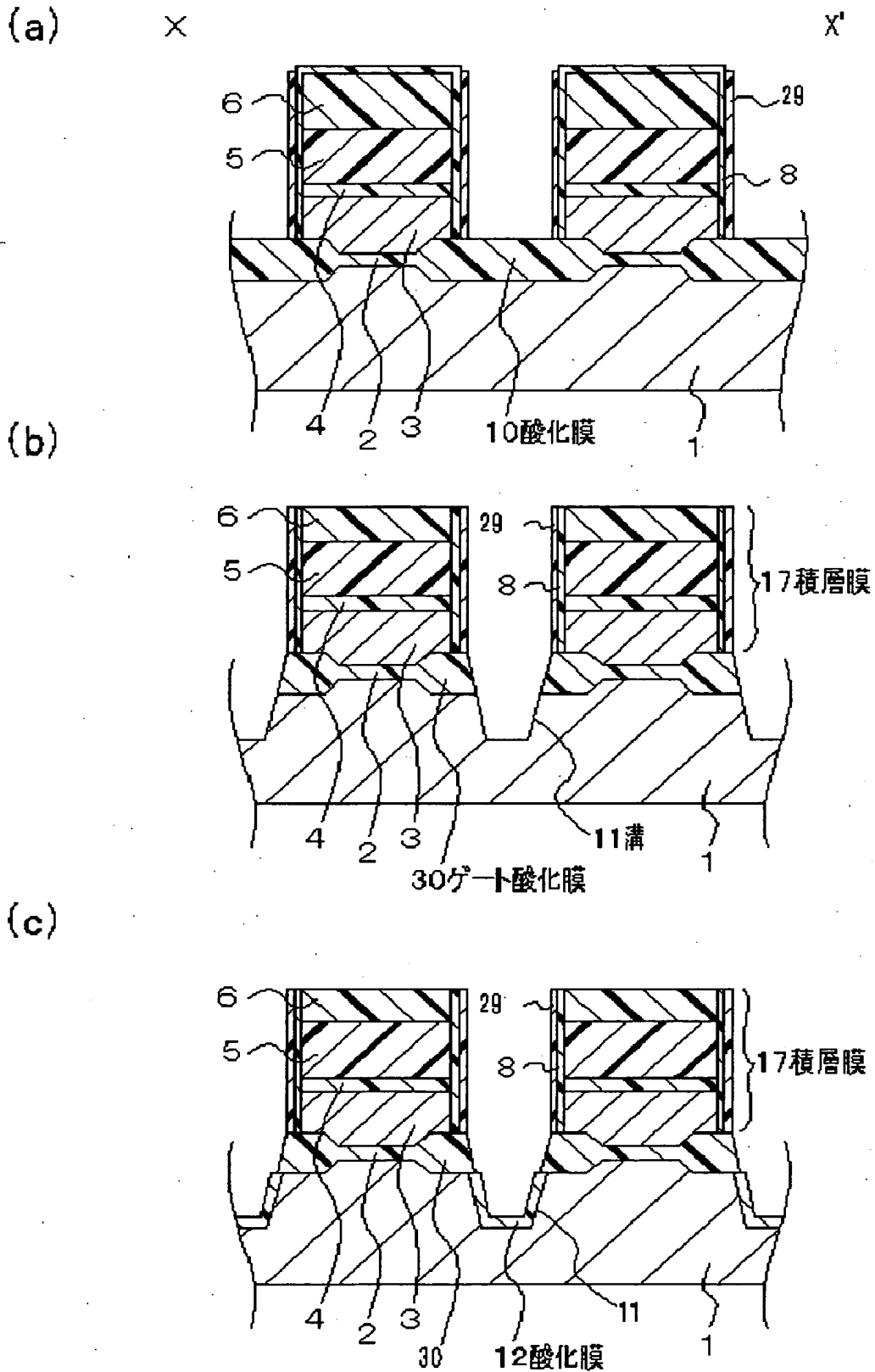
(b)



【図2】

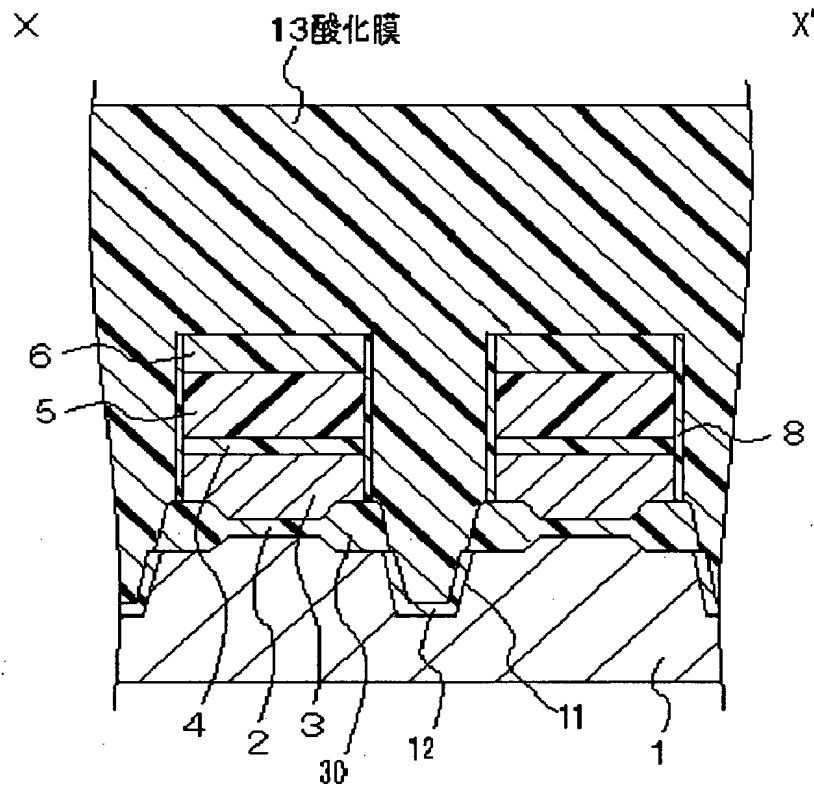


【図 3】

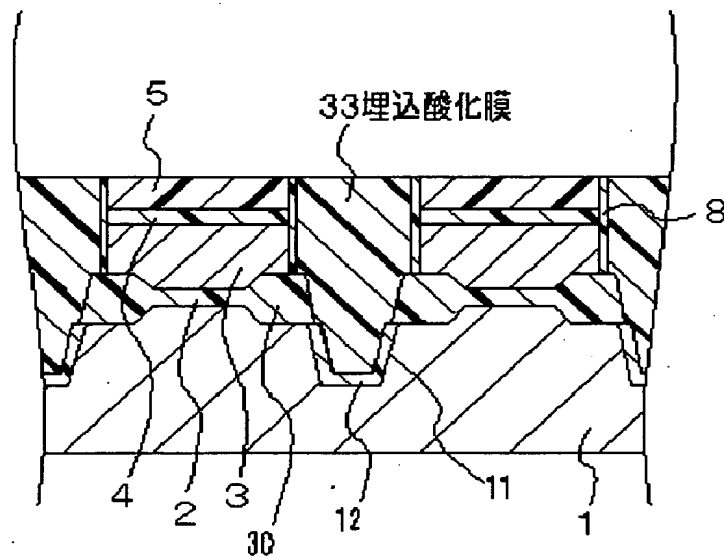


【図 4】

(a)

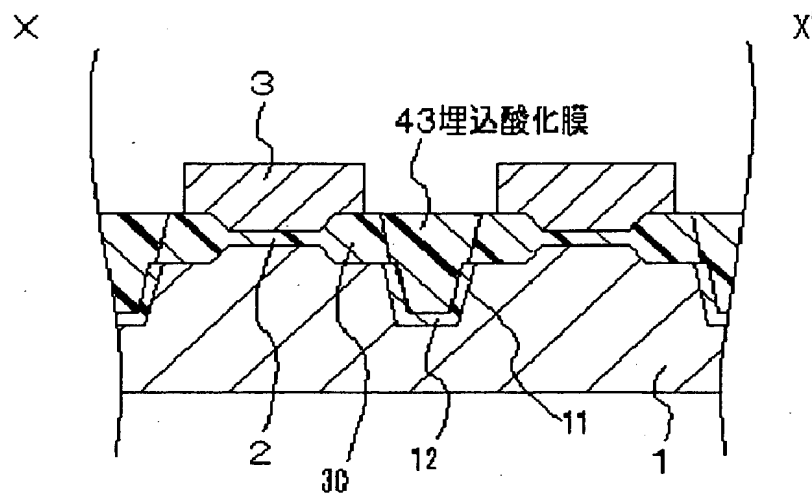


(b)

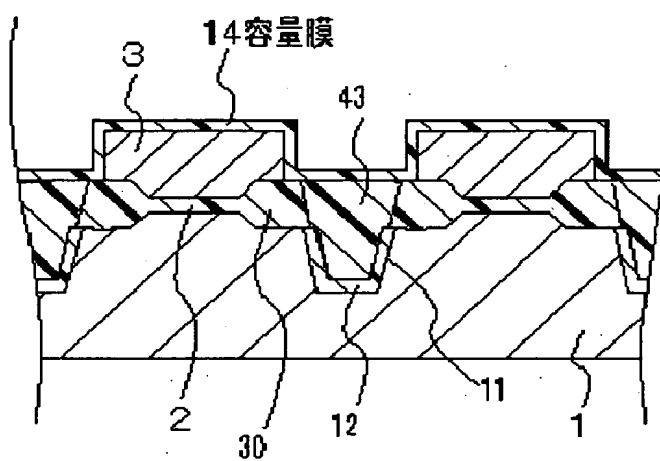


【図5】

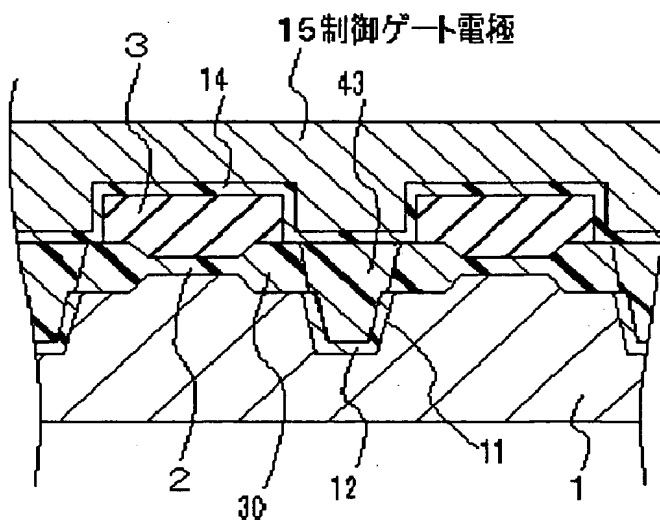
(a)



(b)

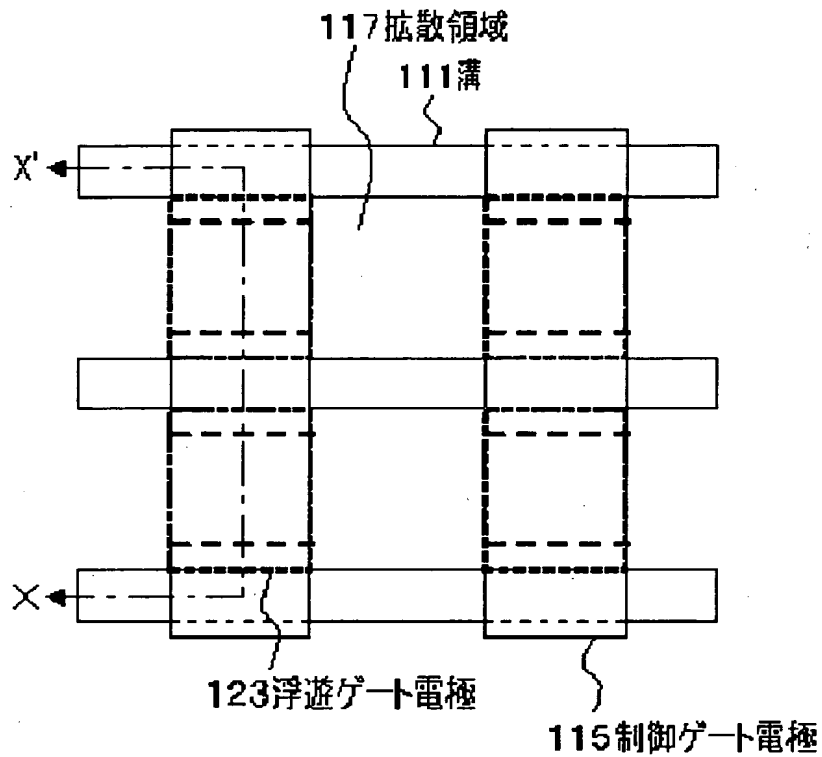


(c)

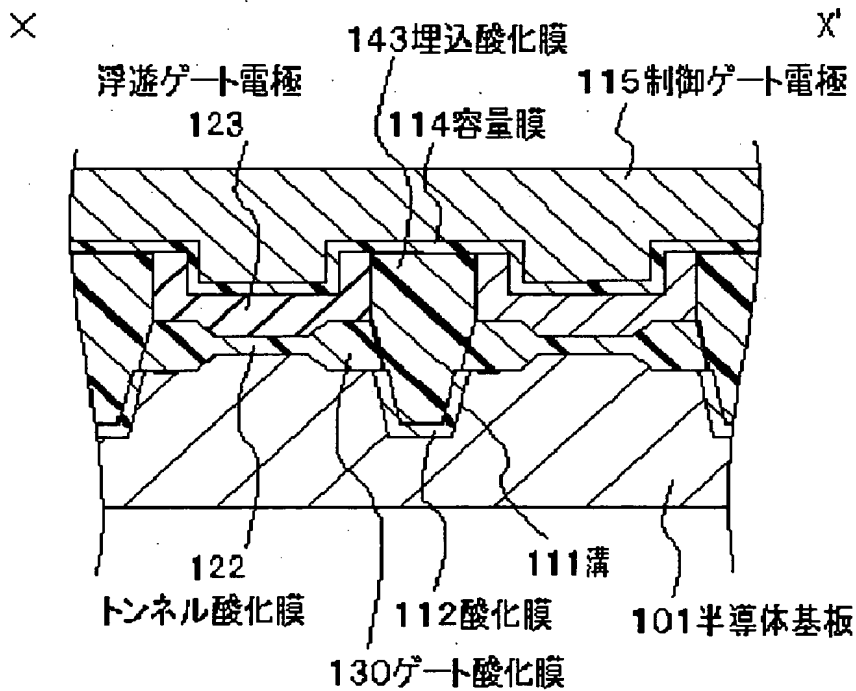


【図 6】

(a)

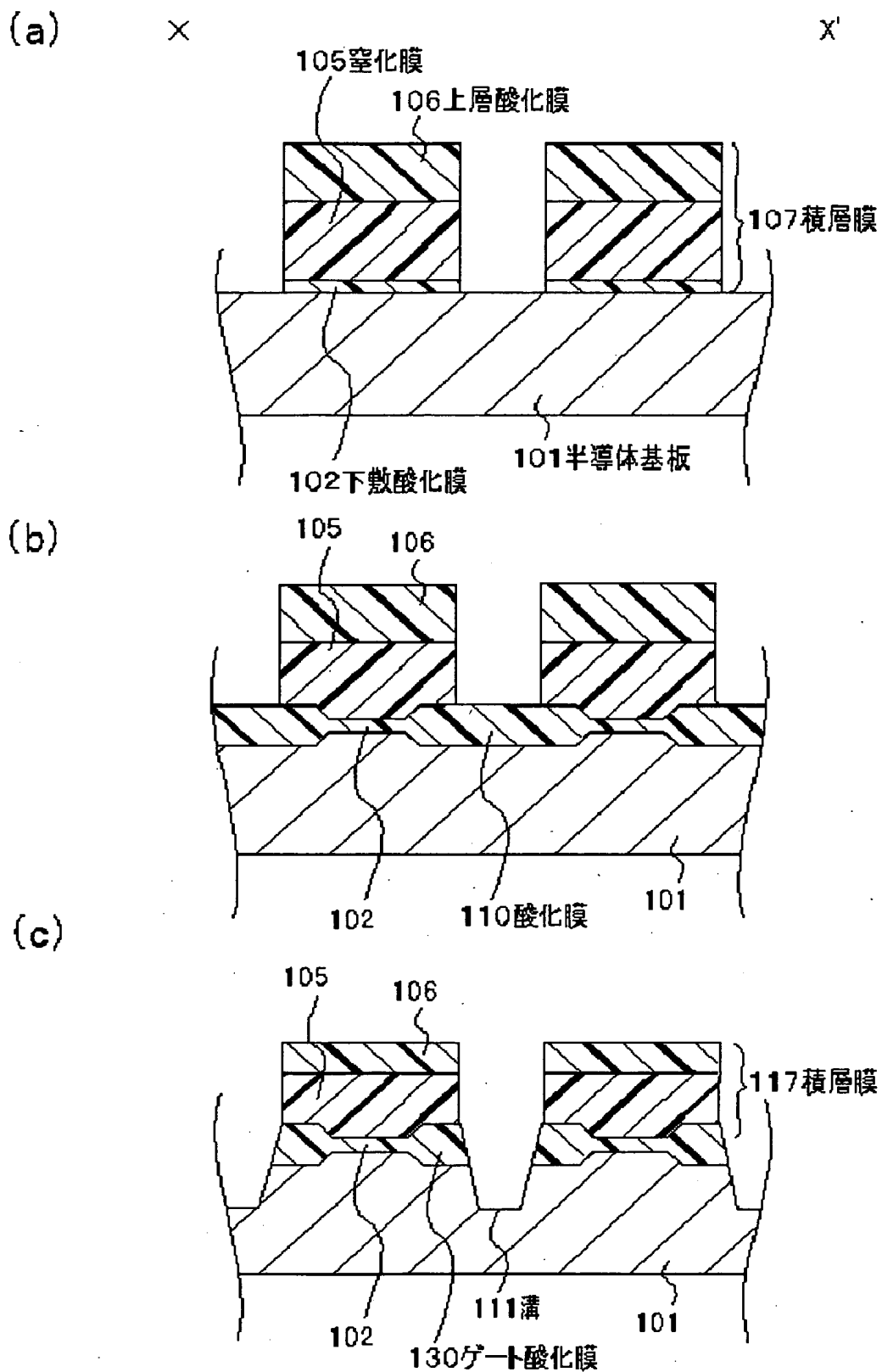


(b)



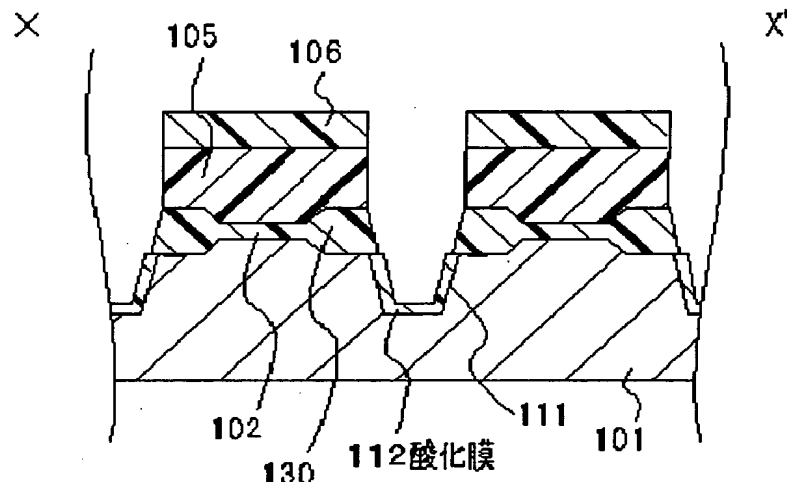


【図 7】

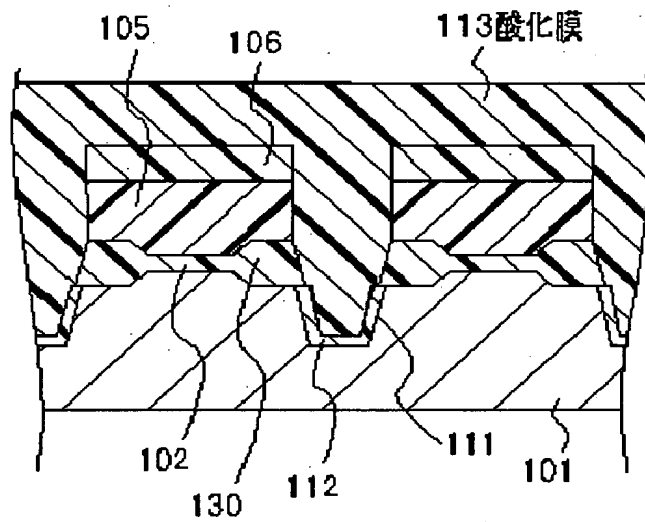


【図 8】

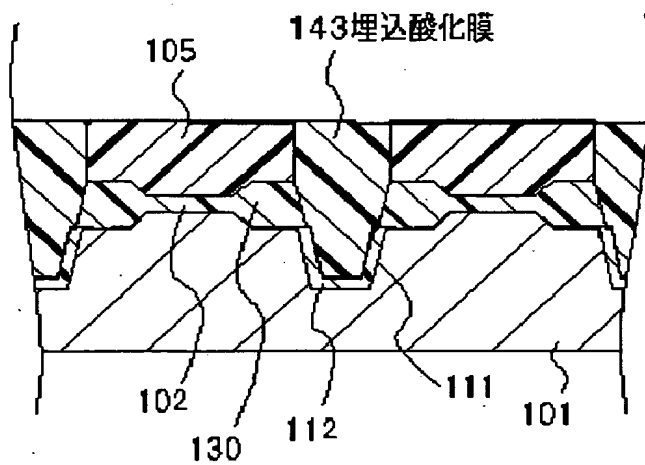
(a)



(b)

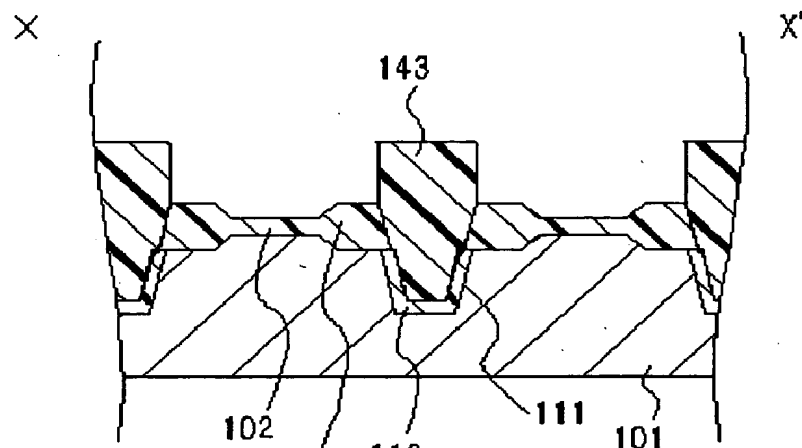


(c)

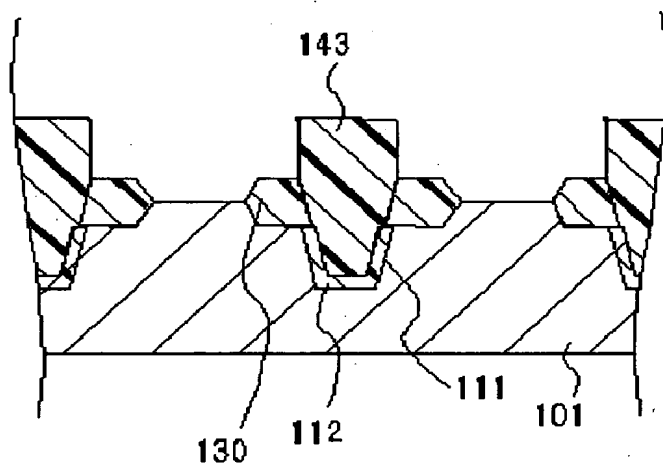


【図9】

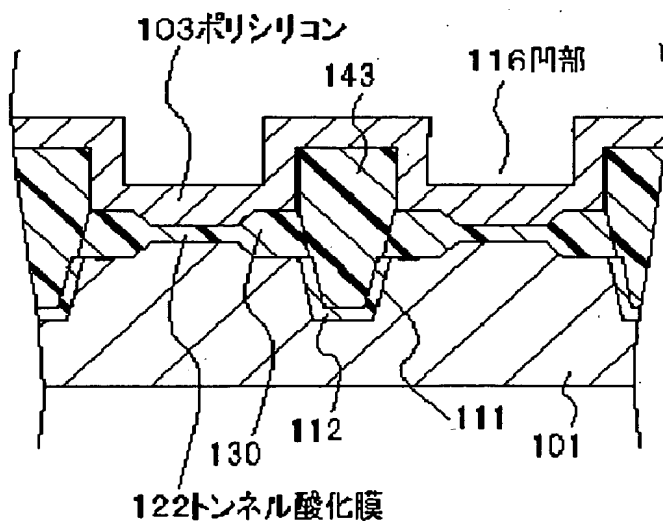
(a)



(b)

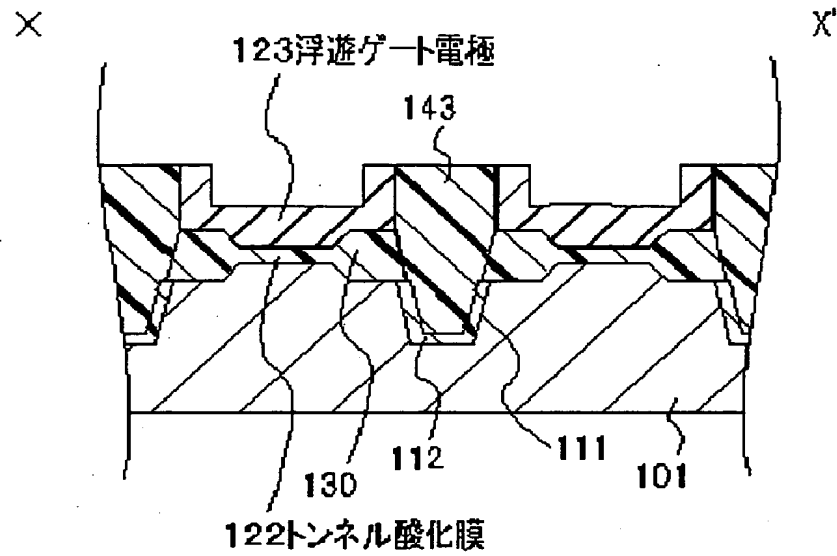


(c)

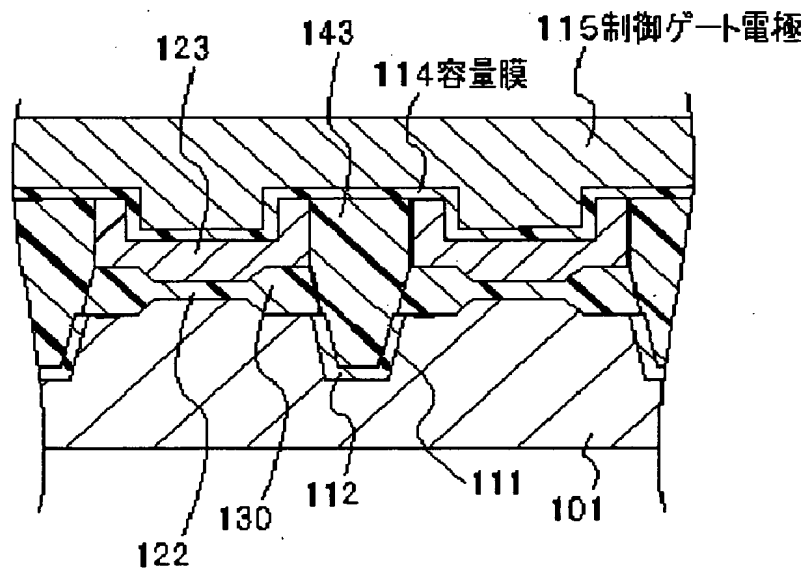


【図 1 0】

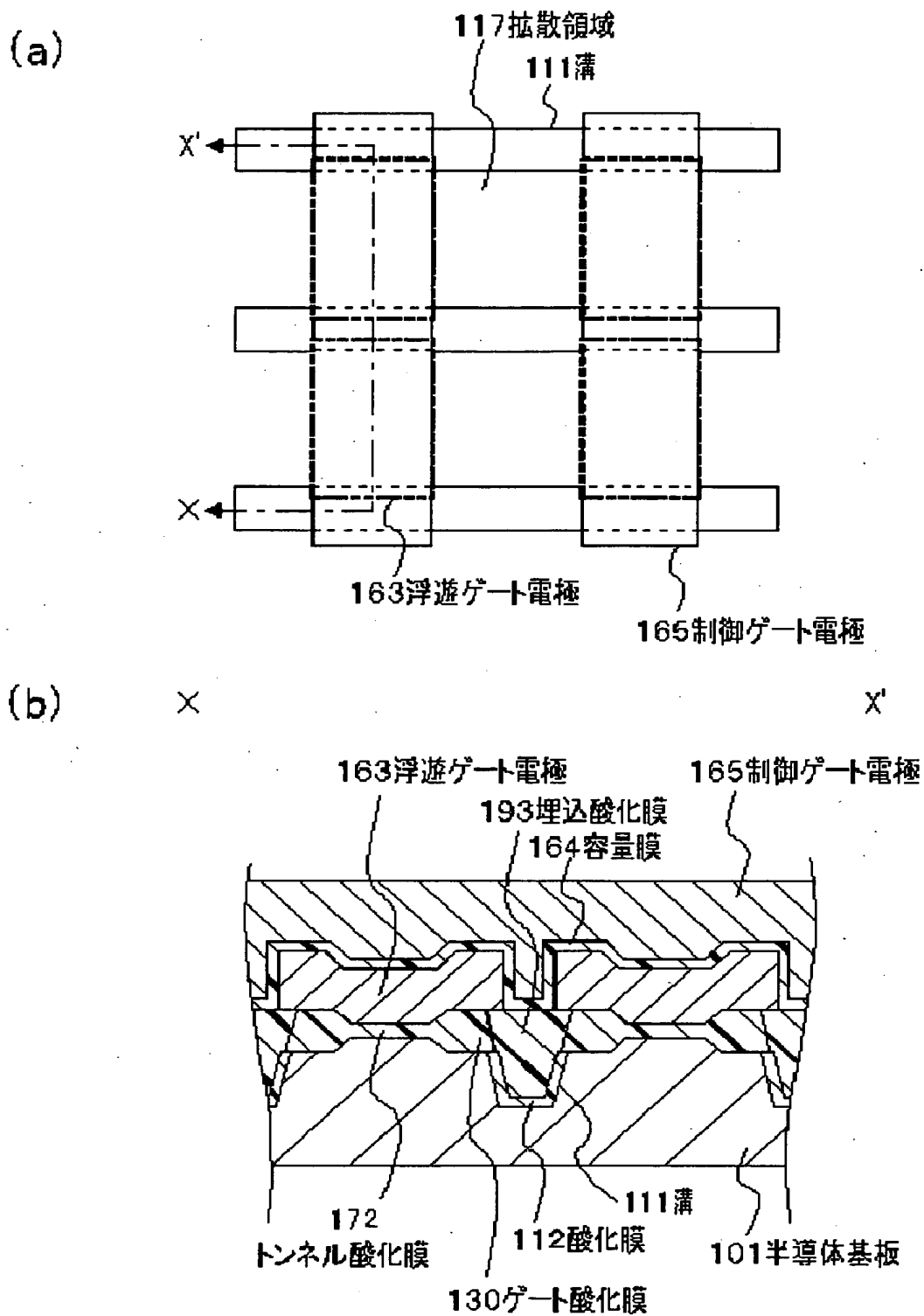
(a)



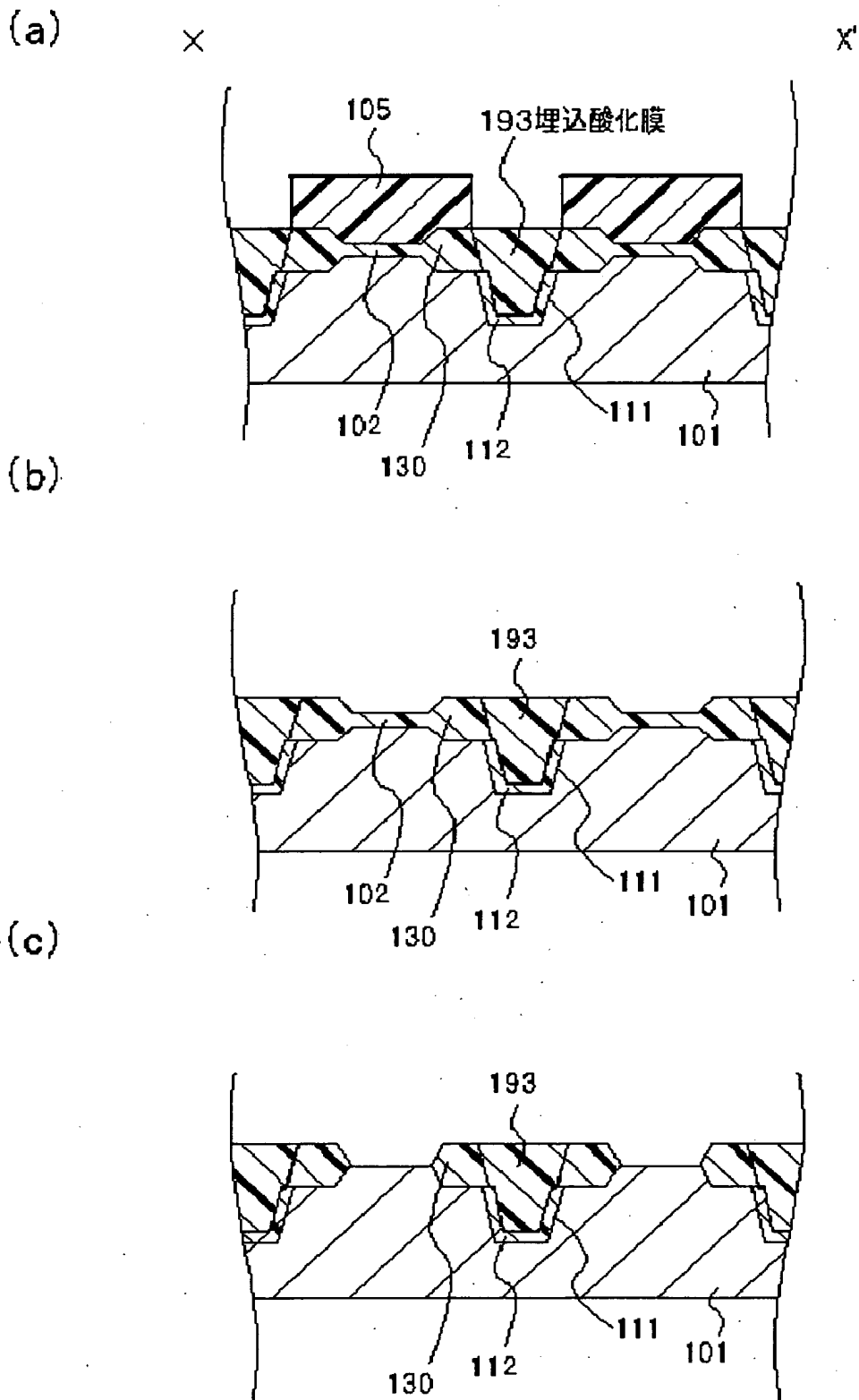
(b)



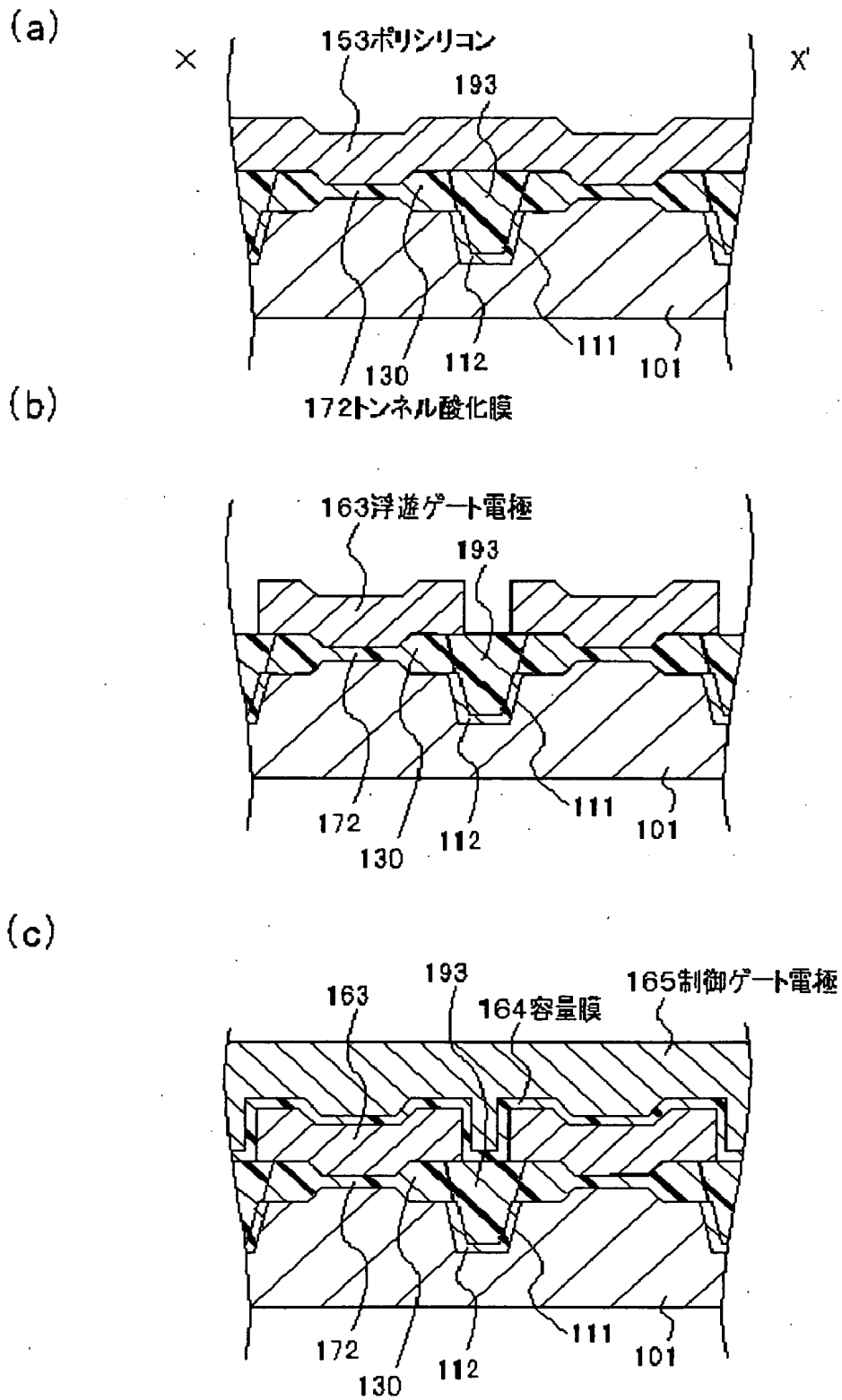
【図 1 1】



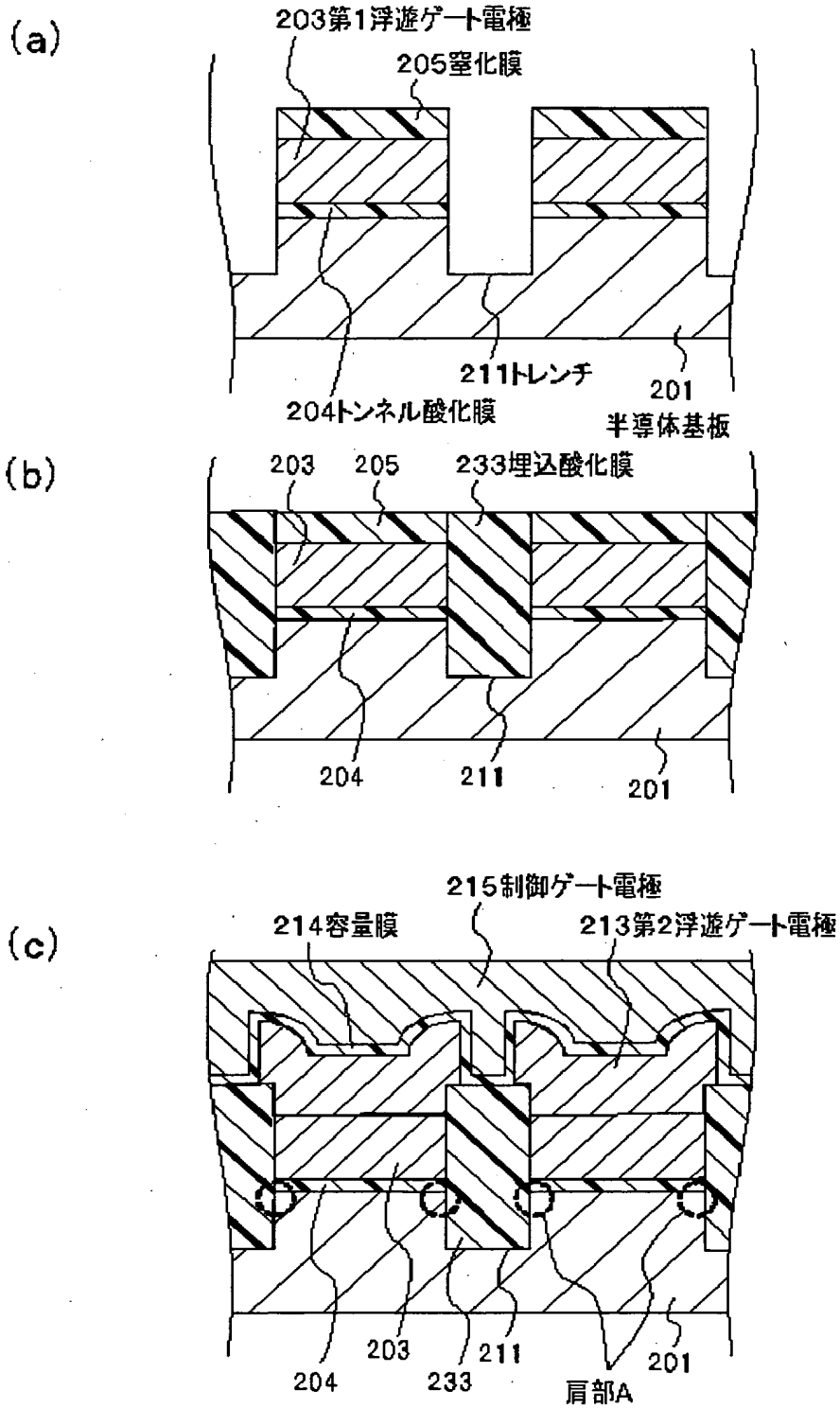
【図 12】



【図 1 3】



【図 1 4】





【書類名】 要約書

【要約】

【課題】 積層膜パターンに自己整合したトレンチを素子分離に用いる方式のフラッシュメモリは、セル間隔を極小化でき、メモリセルの高密度化に大いに利するところがあるが、反面、トレンチ肩の電界集中によりトンネル酸化膜の信頼性が低い、高容量比を実現するために、浮遊ゲート電極を２層構造で形成するとプロセスが複雑になる、といった問題を有する。

【解決手段】 半導体基板 1 の活性ゲート膜領域上に積層構造体を形成しておき、活性ゲート膜 2 の溝分離側に位置するゲート膜 3 0 を厚くしておき、その上で積層構造体に対して自己整合的に溝分離領域を形成するので、溝 1 1 の肩部と浮遊ゲート電極 3 との距離を大きくすることができ、デバイス動作時の溝の肩部における電界集中によるデバイス特性への悪影響を無くすることができる。

【選択図】 図 1

特2000-325656

## 認定・付加情報

特許出願の番号	特願2000-325656
受付番号	50001379829
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年10月26日

### <認定情報・付加情報>

【提出日】 平成12年10月25日

次頁無

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 東京都港区芝五丁目7番1号  
氏 名 日本電気株式会社